

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-106255

(43)Date of publication of application : 24.04.1998

(51)Int.Cl.

G11C 11/14
H01L 27/10

(21)Application number : 08-254074

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 26.09.1996

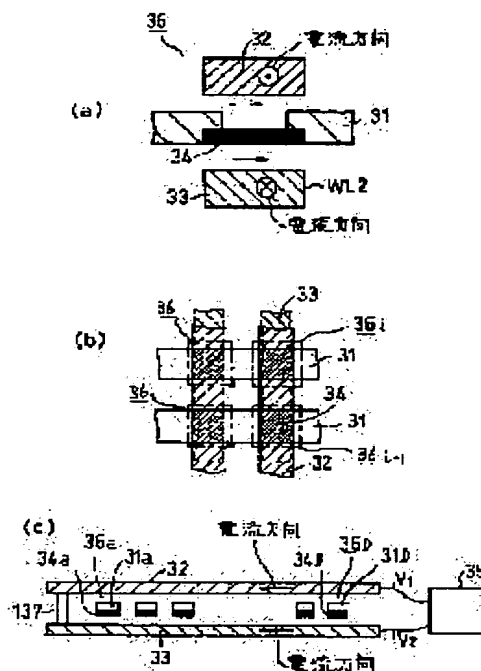
(72)Inventor : TAKASHIMA DAIZABURO

(54) SEMICONDUCTOR MEMORY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a memory device, which stores information by using the change of a magnetoresistance, is low in power consumption and high in sensitivity, and further, in which data are scarcely destroyed by leakage fluxes between adjacent memory cells even if the finer structure of the device is employed.

SOLUTION: In a semiconductor memory device which is composed of a plurality of bit lines 31, a plurality of word lines 32 and 33 and films 34 which are connected to the bit lines 31 in regions where the bit lines 31 and the word lines 32 and 33 cross each other and in which magnetoresistance effects are produced by magnetic fields induced by bit line currents or work line currents, the respective word lines 32 and 33 are composed of a plurality of word line wiring layers which are laid in a same direction and in parallel with each other and which are built up in layers while the upper layer and the lower layer are separated from each other and, further, which are connected in series to each other.



LEGAL STATUS

[Date of request for examination] 15.02.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3392657

[Date of registration] 24.01.2003

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

This Page Blank (uspto)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-106255

(43) 公開日 平成10年(1998) 4月24日

(51) Int.Cl.⁶

識別記号

F I

G 1 1 C 11/14

G 1 1 C 11/14

F

H 0 1 L 27/10

4 5 1

H 0 1 L 27/10

4 5 1

審査請求 未請求 請求項の数12 O L (全 15 頁)

(21) 出願番号

特願平8-254074

(22) 出願日

平成 8 年(1996) 9 月26日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 高島 大三郎

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内

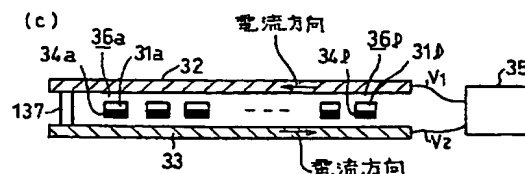
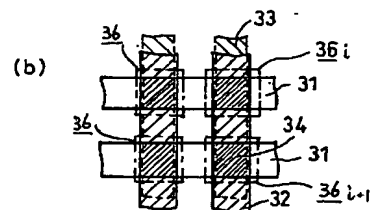
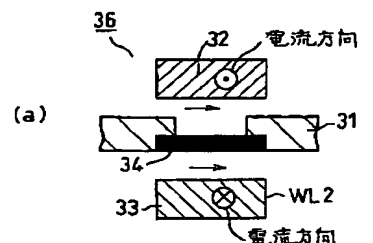
(74) 代理人 弁理士 外川 英明

(54) 【発明の名称】 半導体記憶装置

(57) 【要約】

【課題】 磁気抵抗の変化により情報を記憶する記憶装置において、低消費電力でありかつセンス感度の高い記憶装置の提供。又、装置の微細化が進んでも、隣接する記憶セル間で漏れ磁界によるデータの破壊が少ない記憶装置の提供。

【解決手段】 複数のビット線33と、複数のワード線32、33と、前記ビット線と前記ワード線とが交叉する領域でビット線33に接続され、ビット線電流或はワード線電流により引き起こされる磁界により磁気抵抗効果が起こる膜34で構成されるメモリセルからなる半導体記憶装置において、前記各ワード線32、33は、同一方向に、平行に、上下に分離され積層された複数のワード線配線層で構成され、前記複数のワード線配線層は、直列接続される。



【特許請求の範囲】

【請求項 1】複数本のビット線と、

前記ビット線と交叉すると共に、互いに直列接続する平行な複数層のワード線層からなる複数本のワード線と前記ビット線と前記ワード線の交叉する領域に形成され、前記ビット線に直列接続する磁気抵抗効果膜を備える複数のメモリセルとが備えられたことを特徴とする半導体記憶装置。

【請求項 2】複数本のビット線と、

前記ビット線と交叉すると共に、同一電流源からの電流が供給される複数層のワード線層からなる複数本のワード線と前記ビット線と前記ワード線とが交叉する領域に形成され、前記ビット線に直列接続する磁気抵抗効果膜を備える複数のメモリセルとが備えられたことを特徴とする半導体記憶装置。

【請求項 3】前記磁気抵抗効果膜の上層或いは下層のいずれかに形成された複数の前記ワード線層の電流方向は互いに同一方向であることを特徴とする請求項 1 または請求項 2 記載の半導体記憶装置。

【請求項 4】前記磁気抵抗効果膜の上層に形成された前記ワード線層の電流方向と前記磁気抵抗効果膜の下層に形成された前記ワード線層の電流方向は互いに逆方向であることを特徴とする請求項 1 または請求項 2 記載の半導体記憶装置。

【請求項 5】前記磁気抵抗効果膜の上層に形成された前記ワード線層と、前記磁気抵抗効果膜の下層に形成された前記ワード線層はワード線方向に配列したセルアレイの一端において接続されていることを特徴とする請求項 1 または請求項 2 記載の半導体記憶装置。

【請求項 6】前記上層のワード線層と、前記下層の前記ワード線層とで構成される複数のワード線は前記セルアレイの両端においてワード線駆動回路に交互に接続されていることを特徴とする請求項 5 記載の半導体装置。

【請求項 7】前記磁気抵抗効果膜の上層に第 1 のワード線層が形成され、さらに第 1 のワード線層の上層に第 2 のワード線層が形成され、前記磁気抵抗効果膜の下層に第 3 のワード線層が形成され、さらに第 3 のワード線層の下層に第 4 のワード線層が形成され、前記第 1 のワード線層と前記第 4 のワード線層とがセルアレイの一端において接続され、前記第 2 のワード線層と前記第 4 のワード線層とが他端において接続されていることを特徴とする請求項 1 または請求項 2 記載の半導体装置。

【請求項 8】複数本のビット線と、

前記ビット線と交叉する複数本のワード線と前記ワード線を駆動する複数のワード線駆動回路と、前記ビット線と前記ワード線とが交叉する領域に形成され、前記ビット線に直列接続する磁気抵抗効果膜を備える複数のメモリセルと、

ワード線方向のセルアレイ端において、前記ワード線にその他端の電位よりも低い電位を供給する第 1 の電源線

と、

この第 1 の電源線に接続される第 2 の電源線であり、別のセルアレイの一端において、前記ワード線にその他端の電位よりも高い電位を供給する第 2 の電源線とが備えられたことを特徴とする半導体記憶装置。

【請求項 9】複数本のビット線と、

前記ビット線と交叉する複数本のワード線と前記ワード線を駆動する複数のワード線駆動回路と、前記ビット線と前記ワード線とが交叉する領域に形成され、前記ビット線に直列接続する複数の磁気抵抗効果膜とを備える複数のメモリセルと、

前記ビット線方向のセルアレイの一端に、他端の電位よりも低い電位を供給する第 1 の電源線と、この第 1 の電源線と接続される第 2 の電源線であり、別のセルアレイのビット線の一端に、他端の電位よりも高い電位を供給する第 2 の電源線とが備えられたことを特徴とする半導体記憶装置。

【請求項 10】複数本のビット線と、

前記ビット線と交叉する複数本のワード線と前記ワード線を駆動する複数のワード線駆動回路と、前記ビット線と前記ワード線とが交叉する領域に形成され、前記ビット線の各々に直列接続する磁気抵抗効果膜を備える複数のメモリセルとが備えられ、選択された正電流が流れる前記ワード線とこれに隣接する前記ワード線間に、前記正電流よりも小さい逆電流が流れる配線とが備えられたことを特徴とする半導体記憶装置。

【請求項 11】複数本のビット線と、

前記ビット線と交叉する複数本のワード線と前記ワード線を駆動する複数のワード線駆動回路と、前記ビット線と前記ワード線の交叉する領域に形成され、前記ビット線に直列接続する磁気抵抗効果膜を備える複数のメモリセルとが備えられ、選択された正電流が流れる前記ワード線に隣接する他の前記ワード線には、前記正電流よりも小さい逆電流が流れることを特徴とする半導体記憶装置。

【請求項 12】複数本のビット線と、

前記ビット線と交叉する複数のワード線と、前記ビット線と前記ワード線が交叉する領域に形成され、前記ビット線と直列接続する磁気抵抗効果膜とが備えられ、前記ワード線の水平投影は前記ビット線と重なる領域を有することを特徴とする半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体記憶装置にかかわり、特に磁気抵抗の変化を利用して情報の記憶を行う半導体記憶装置に関する。

【0002】

【従来の技術】今日、半導体メモリは、大型コンピュー

タの主記憶から、パーソナルコンピュータ、家電製品、及び携帯電話等至る所で利用されている。半導体メモリの種類としては、揮発性のDRAM (Dynamic RAM)、SRAM (Static RAM)、不揮発性のMROM (Mask ROM)、Flash EPROM (Electrically Erasable Programmable ROM) 等が市場に出まわっている。特に、DRAMは揮発性メモリであるにも関わらず、その低コスト性 (SRAMに比べてセル面積が1/4)、高速性 (Flash EPROM) の点で優れており、市場の殆どを占めているのが現状である。

【0003】書き換え可能で不揮発性のFlash EPROMは、電源を切ることが可能だが、書き換え回数 (W/E回数) が 10^6 程度と少なく、又書き込み時間もマイクロ秒程度かかるという欠点がある。さらに書き込み時に高電圧 (12V~22V) を印可する必要がある等の問題から、DRAM程は市場が開けていない。

【0004】これに対して、強誘電体キャパシタ (ferroelectric capacitor) を用いた不揮発性メモリのFRAM (Ferroelectric RAM) は、1980年に提案されて以来、不揮発性であり、書き換え回数が 10^{12} と多く、又読み出し及び書き込み時間がDRAM程度であり、3V~5V動作が可能である等の長所があるため、各記憶装置メーカーが開発を行っている。しかしながら、書き換え回数が 10^{12} では、 100ns サイクルタイムで、 $(100\text{ns} \times 10^{12}) / (60 \times 60 \times 24 \text{ 秒}) = 1.15$ 日である。書き換え回数が10の15乗以上でないと、10年以上連続動作が出来ず、DRAM等のメインメモリとしての利用が出来ないのが現状である。

【0005】これに対して、近年GMR (Giant Magnetoresistive) 膜等の磁気抵抗 (Magnetoresistive) 効果を利用した不揮発性の半導体記憶装置の開発がなされている (J. L. Brown et al., IEEE Trans. of Components Packaging, and Manufacturing Technology-PART A, Vol. 17, No.3, Sep., 1994. や、Y. Irie et al., Japanese Journal of Applied Physics Letter, Vol. 34, pp. L415-417, 1995. や、D. D. Tang et al., IEEE InterMAG'95, AP03, 1995 等)。このような磁気抵抗効果を利用した記憶装置は、非破壊読みだし、高速動作、高放射線耐圧等の長所に加え、書き換え回数が 10^{15} 以上とDRAMマーケット、全半導体メモリ、及びHard Disk (HD) 等をそのまま置き換える可能性がある。

【0006】図17 (a) に従来のGMRメモリのセル平面図を、図17 (b) にこの平面図のB-B'断面図を示す。図17 (a) 及び図17 (b) に示すように、GMR膜1はビット線2、3に直列接続し、ワード線4はGMR膜1の上層にビット線と交叉するように形成されている。GMR膜1には、金属人工格子、ナノグラニュー合金や、図18 (a) に示す様な薄い強磁性層11、非磁性導体層12、及び強磁性層13の積層膜から

なる交換結合型GMR膜等がある。その他にもトンネル型GMR、酸化物磁性体を用いたGMRやCMR (Colossal MR) 等も提案されている。

【0007】次に、GMRメモリの動作を図18 (a) に示す交換結合型GMR膜を用いて説明する。各層の膜厚は強磁性層11、13が $3.0\mu\text{m}$ 、非磁性層導体層12が $2.0\mu\text{m}$ と電子の平均自由行程よりも薄い。非磁性導体層12を上下より挟む強磁性層11、12のスピンの (spin) は、ゼロ磁界では交換相互作用により互いに逆方向のスピンの持つ。そして、図18 (b) に示すワード線電流による磁界と、図18 (c) に示すビット線電流による磁界により、スピン方向が変化する。図18 (b)、図18 (c) 中、丸○に点・は紙面の裏面側から手前側への電流方向を示し、○に×はその逆方向を示す。矢印は電流磁界を示す。アンペールの右ねじの法則により、ワード線電流による磁界はビット線と平行にGMR膜1の2つの強磁性層11、13に作用する。ビット線電流による磁界はワード線と平行にGMR膜1の強磁性層11、13に作用する。各強磁性層のスピンの方向を変化させて、両強磁性層11、13のスピンの方向を反対方向とするとGMR膜の電気抵抗は高く、スピンの方向を同一方向にすると電気抵抗は低くなる。この抵抗変化は両側のスピンの相対方向のみにより決まり、両側のスピンの絶対方向には依存しない (等方性)。GMRメモリは、このような抵抗の変化に基づいて書き込み情報を読み出す。

【0008】GMR膜1には、図16 (a)、図16 (b)、及び図16 (c) に示す様なスピンバルブ型GMR膜が提案されている。図16 (a) は交換結合型GMR膜を示す。この膜は下から順に強磁性層23 (Co, NiFe, CoFe, NiFeCoのいずれか一種を主な構成要素とする。)、非磁性導体層22 (Co, Ag, Auのいずれか一種を主な構成要素とする。) 及び強磁性層21 (Co, NiFe, CoFe, NiFe, Coのいずれか一種を主な構成要素とする。) の積層体である。この型のデータ記憶法式の例は、低磁界では反対方向にスピンを持たせ、これを“1”データとし、飽和磁界以上では同一方向のスピンの持つ、これを“0”データとする。他の記憶方式としては、強磁性層21、22にワード線の電流方向に対して逆方向のスピンの持つ、これを“0”データとし、ワード線に大電流を流し両強磁性層のスピンをビット線方向に向け、さらに反対方向を向いているスピン方向と逆方向に回転磁界を発生するようにビット線に電流を流し、絶対方向が逆のスピンの方向に上下強磁性層のスピンを反転させ“1”データとする。単に、回転磁界だけではスピンは反転せず、ワード線電流による磁界とビット線電流による磁界の合成磁界が反転に必要なエネルギーを越えた場合にのみ反転する。読み出しはまずワード線方向と逆方向に書き込み時より小さな電流を流し、両方のスピン

の方向を同一ビット線方向に向ける。次ぎに、“1”データを書き込んだ場合と同じように、回転磁界を発生させる方向にビット線電流を流す。この時、“1”データであれば、スピン方向と回転磁界が同じ方向であるため、スピンはワード線方向に互いに反対方向に向き、結果として非磁性導体膜の抵抗は高抵抗となる。“0”データであれば、スピン方向と回転磁界が異なる方向であるため、ワード線電流による両方のスピンの方向が同一ビット線方向に向く力が強まる（ワード線電流が小さいため、反転はしない）。結果として、ビット線の抵抗は低抵抗となる（J. L. Brown et al., IEEE Trans. of Components Packaging, and Manufacturing Technology-PART A, Vol. 17, No.3, Sep., 1994.）。

【0009】図16（b）は非結合型スピンバルブ膜の構造を示し、その特徴は導体層の下に軟磁性層（NiFe(Co)）が他の層とは独立に動作することにある。図16（b）に示す膜は下から順に軟磁性層（NiFe(Co)）26、非磁性導体層（Cu）25、及び（半）硬質磁性層（CoPt）24を積層膜であり、

（半）硬質磁性層24のスピン方向が反転する磁界強度は大きく、軟磁性層26のスピン方向が反転する磁界強度は小さい（Y. Irie et al., Japanese Journal of Applied Physics Letter, Vol. 34, pp. L415-417, 1995. 等）。よって、図16（b）中、例えば、紙面裏側より手前側に大きなワード線電流を流すと、（半）硬質磁性層は“0”データを記憶し、紙面手前側から裏側に大きなワード線電流を流すと、（半）硬質磁性層は“1”データを記憶する。読み出し時は、例えば、“0”データの場合、紙面手前側から裏面側へ小さいワード線電流を流すと、軟磁性層26は硬質磁性層24とは逆スピンとなり抵抗が高くなる。“1”データの場合、軟磁性層26と硬質磁性層24のスピンは同方向となり低抵抗となる。この抵抗値の相違を記録情報として読み出す。

【0010】図16（c）は、他の非結合型スピンバルブ膜の例を示す。この膜は下から順に軟磁性層（NiFe(Co)）30、非磁性導体層（Cu）29、軟磁性層（NiFe(Co)）28、及び反強磁性層（FeMn）27からなる積層膜である。軟磁性層28は反強磁性層27と交換結合により強く結びつき、固定スピンをもつ。一方、軟磁性層30は外部磁界によりスピンが反転してスピンの反転、非反転により情報を記憶する（D. Tang et al., IEEE InterMAG'95, AP03, 1995 等）。

【0011】このようなGMRメモリは、次に示す問題によりいまだに実用化されていない。これは、現状のGMR膜では、ワード線に100mA～数Aの大きな電流を流して、大きい磁界により磁気抵抗変化率（室温で100%等が可能）を稼ぐことができるものの消費電流が増大する為である。特に、ワード線からGMR膜とビット線からGMR膜には、距離差があるため、ワード線電

流による磁界はビット線による磁界よりも弱くなってしまい、ワード線には大きな電流が必要となる。現状のままでは、高信頼なLSIを作る上で必須であるセンス感動の良い高い抵抗変化率（高MR率）の材料を用いると、大きなワード線電流をchip内で流す必要があり、更に、複数のワード線を選択すると、さらに大きな消費電流が流れ、実用化に程遠いものとなる大きな欠点が存在する。以上の問題は図16（d）に示す磁界[Oe]とMR変化率（%）の関係で説明できる。現状のGMR膜では、変化率が高いが必要磁界が大きい（A線に示す。）か、変化率は低いが必要磁界が低い（B線に示す。）しか無く、C線の様に低必要磁界、高MR率の理想的な膜が存在しない。

【0012】さらに、従来技術では、選択したワード線に電流を流して磁界を発生させると、隣接する非選択のワード線のメモリセルにも磁界の影響が及ぶため、データ書き込み時では隣接セルのデータの破壊が起こり、データ読み出し時には選択セルと逆データが隣接セルに書き込まれていた場合に選択セルの抵抗変化を弱める働きをする。これは、微細化が進むほど、顕著になる。

【0013】

【発明が解決しようとする課題】以上説明したように、従来のGMRメモリにおいては、非破壊読みだし、高速動作、及び高放射線耐圧性等の長所に加え、書き換え回数 10^{15} 以上と10年連続動作が可能であるが、高信頼なLSIを作る上で必須のセンス感動の良い、高い抵抗変化率（高MR率）の材料を用いると、大きなワード線電流をchip内で流す必要があり、更に、複数のワード線を選択すると、さらに大きな消費電流が流れ、実用化に程遠いものとなる大きな欠点が存在していた。又、微細化が進むと、漏れ磁界により隣接セルデータが破壊される傾向にあるという欠点を持っていた。

【0014】本発明は、上記事情を考慮して成されたもので、磁気抵抗の変化により情報を記憶する記憶装置において、低消費電力でありかつセンス感度の高い記憶装置を提供することを目的とする。

【0015】

【課題を解決するための手段】

（概要）上記課題を解決するために本発明の第1は、複数本のビット線と、前記ビット線と交叉すると共に、互いに直列接続する平行な複数層のワード線層からなる複数本のワード線と、前記ビット線と前記ワード線の交叉する領域に形成され、前記ビット線に直列接続する磁気抵抗効果膜を備える複数のメモリセルとが備えられたことを特徴とする半導体記憶装置を提供する。

【0016】又、上記課題を解決する為に、本発明の第2は、複数本のビット線と、前記ビット線と交叉すると共に、同一電流源からの電流が供給される複数層のワード線層からなる複数本のワード線と、前記ビット線と前記ワード線とが交叉する領域に形成され、前記ビット線

に直列接続する磁気抵抗効果膜を備える複数のメモリセルとが備えられたことを特徴とする半導体記憶装置を提供する。

【0017】この第1及び第2の発明において好ましい構成を以下に示す。

a) 磁気抵抗効果膜の上層或いは下層のいずれかに形成された複数の前記ワード線層の電流方向は互いに同一方向である。

b) 磁気抵抗効果膜の上層に形成された前記ワード線層の電流方向と前記磁気抵抗効果膜の下層に形成された前記ワード線層の電流方向は互いに逆方向である。

c) 磁気抵抗効果膜の上層に形成された前記ワード線層と、前記磁気抵抗効果膜の下層に形成された前記ワード線層はワード線方向に配列したセルアレイの一端において接続されている。

d) 上層のワード線層と、前記下層の前記ワード線層とで構成される複数のワード線は前記セルアレイの両端においてワード線駆動回路に交互に接続されている。

e) 磁気抵抗効果膜の上層に第1のワード線層が形成され、さらに第1のワード線層の上層に第2のワード線層が形成され、前記磁気抵抗効果膜の下層に第3のワード線層が形成され、さらに第3のワード線層の下層に第4のワード線層が形成され、前記第1のワード線層と前記第4のワード線層とがセルアレイの一端において接続され、前記第2のワード線層と前記第4のワード線層とが他端において接続されている。

上記課題を解決する為に、本発明の第3は、複数本のビット線と、前記ビット線と交叉する複数本のワード線と、前記ワード線を駆動する複数のワード線駆動回路と、前記ビット線と前記ワード線とが交叉する領域に形成され、前記ビット線に直列接続する磁気抵抗効果膜を備える複数のメモリセルと、ワード線方向のセルアレイ端において、前記ワード線にその他端の電位よりも低い電位を供給する第1の電源線と、この第1の電源線に接続される第2の電源線であり、別のセルアレイの一端において、前記ワード線にその他端の電位よりも高い電位を供給する第2の電源線とが備えられたことを特徴とする半導体記憶装置を提供する。

【0018】又、上記課題を解決するために、本発明の第4は、複数本のビット線と、前記ビット線と交叉する複数本のワード線と、前記ワード線を駆動する複数のワード線駆動回路と、前記ビット線と前記ワード線とが交叉する領域に形成され、前記ビット線に直列接続する複数の磁気抵抗効果膜とを備える複数のメモリセルと、前記ビット線方向のセルアレイの一端に、他端の電位よりも低い電位を供給する第1の電源線と、この第1の電源線と接続される第2の電源線であり、別のセルアレイのビット線の一端に、他端の電位よりも高い電位を供給する第2の電源線とが備えられたことを特徴とする半導体記憶装置を提供する。

【0019】又、上記課題を解決するために、本発明の第5は、複数本のビット線と、前記ビット線と交叉する複数本のワード線と、前記ワード線を駆動する複数のワード線駆動回路と、前記ビット線と前記ワード線とが交叉する領域に形成されると共に、前記ビット線の各々に直列接続する磁気抵抗効果膜を備える複数のメモリセルとが備えられ、選択された正電流が流れる前記ワード線とこれに隣接する前記ワード線間に、前記正電流よりも小さい逆電流が流れる配線とが備えられたことを特徴とする半導体記憶装置を提供する。

【0020】又、上記課題を解決するために、本発明の第6は、複数本のビット線と、前記ビット線と交叉する複数本のワード線と、前記ワード線を駆動する複数のワード線駆動回路と、前記ビット線と前記ワード線の交叉する領域に形成され、前記ビット線に直列接続する磁気抵抗効果膜を備える複数のメモリセルとが備えられ、選択された正電流が流れる前記ワード線に隣接する他の前記ワード線には、前記正電流よりも小さい逆電流が流れることを特徴とする半導体記憶装置を提供する。

【0021】又、上記課題を解決するために、本発明の第7は、複数本のビット線と、前記ビット線と交叉する複数のワード線と、前記ビット線と前記ワード線が交叉する領域に形成され、前記ビット線と直列接続する磁気抵抗効果膜とが備えられ、前記ワード線の水平投影は前記ビット線と重なる領域を有することを特徴とする半導体記憶装置を提供する。

【0022】(作用) 本発明の第1及び第2によれば、磁気抵抗効果膜は、複数層のワード線による複数のワード線層の電流により生成される合成磁界の影響を受ける。従って、1層のワード線を用いた従来の磁気抵抗効果膜を用いた記憶装置に対してワード線の層数にほぼ比例する大きい磁界が得られる。そして、複数のワード線層をセル端等で接続することで直列接続させ、同一電流源から流れる電流を用いれば、従来の記憶装置に対してほぼ同等の電流量で、ワード線の層数に比例した大きな合成磁界を発生させることができる。従って、小さいワード線電流、小さなchip消費電流で大きな磁気抵抗変化率を実現することができる。

【0023】又、本発明の第3によれば、互いに平行に形成される複数層のワード線の層間に複数の磁気抵抗効果膜がアレイ状に形成され、磁気抵抗効果膜を中央にして互いに対向するワード線には互いに逆方向に電流が流される。そして、異なるセルアレイの複数のワード線駆動回路の電源を直列接続すれば、複数のセルアレイのワード線を同時に動作させても消費電流が増加されずに、複数のセルアレイ全体の消費電力を抑えることが出来る。

【0024】又、本発明の第4によれば、異なるセルアレイのビット線駆動回路の電源を直列接続すれば、複数のセルアレイのビット線を同時に動作させても、消費電

流が増加されずに、chipの消費電力を抑えることが出来る。

【0025】又、本発明の第5によれば、選択ワード線に流れる磁界により、隣接するメモリセルへのもれ磁界の影響を、ワード線間に配設した制御線に、選択ワード線と逆方向の電流を流し、前記もれ磁界の大きさを弱める方向に磁界を発生させることにより、弱めさせることが出来る。

【0026】又、本発明の第6によれば、選択ワード線に流れる磁界により、隣接するメモリセルへのもれ磁界の影響を、隣接ワード線に僅かな選択ワード線と逆方向の電流を流し、前記もれ磁界の大きさを弱める方向に磁界を発生させることにより、弱めさせることが出来る。

【0027】又、上記本発明の第6によれば、ワード線と磁気抵抗効果膜間の距離を従来よりも短かくできる。又、上記本発明では、磁気抵抗変化率が大きい、消費電流が多い材料、構造で、消費電流を減らしたいものが最適である。例えば、GMR膜がある。このうち、交換結合型GMR膜はCu、Au、Ag、Cr等の非強磁性導体層の上下層にCo、Ni、Fe等及びこれらの合金の強磁性層が形成された膜である。又、スピナルブ型GMR膜はCu、Au、Ag、Cr等の非強磁性導体層の片側にCoPt等の(半)硬質磁性層、他の片側にNiFe、NiFeCo等の軟磁性層を形成した膜である。又、他のスピナルブ型GMR膜として、Cu、Au、Ag、Cr等の非強磁性導体層の片側にNiFe、NiFeCo等の軟磁性層とFeMn等の反強磁性層、他の片側にNiFe、NiFeCo等の軟磁性層を形成した膜である。又、Al₂O₂等の非強磁性絶縁層の両側にFe等の強磁性層を接続したトンネル型GMR膜、Pr、Sr、Mn、O等を含むCMR(Colossal Magnetoresistive)膜がある。

【0028】

【発明の実施の形態】以下、図面を参照しつつ本発明の各実施形態を説明する。

(第1の実施の形態)図1(a)は本発明の第1の実施形態である磁気抵抗効果を利用した半導体記憶装置を説明するためのメモリセル断面図である。又、図1(b)は互いに隣接する複数のメモリセルを示した平面図であり、図1(c)はセルアレイのワード線方向の断面図とワード線駆動回路を示す。

【0029】本実施の形態では図1(a)、及び(b)に示すように、ビット線31と、これより上層及び下層に各々形成された上層ワード線32、下層ワード線33とが立体的に交叉して形成されており、交叉する領域に両端がビット線31に接続されたGMR膜34が形成されている。つまり、GMR膜34の直上に上層ワード線32が形成され、直下に下層ワード線33が設けられている。又、上層及び下層ワード線32、33はGM

R膜34及び層間膜をはさんで基板主表面の鉛直方向に重なり合うように形成されている。層間膜は上層、下層ワード線32、33間及びこれらとGMR膜34及びビット線31間を電氣的に絶縁している。

【0030】次に、このメモリセルの上層ワード線32に、例えば紙面の裏面側より手前側(Oに・)に電流を流し、下層ワード線33には、紙面の手前側より裏面側(Oに×)に電流を流す。すると、上層ワード線32及び下層ワード線33の電流により発生する磁界は、アンペアの右ねじの法則により、図中右側方向に向き、結果として、セルには2層のワード線による磁界を合わせた合成磁界が発生して、GMR膜34に作用する。この合成磁界は、電流量を同等とすると1層のワード線(従来技術)により発生する磁界の約2倍の磁界強度である。

【0031】ここで、例えば図1(c)に示すように、上層及び下層ワード線32、33を、セルアレイの左端セル36aから、右端セル36lまで引き伸ばし、両者をセルアレイの左端でコンタクト37により直列接続すると、消費電流は従来と同一でありながら、2層のワード線に流れる電流の合成磁界は従来の約2倍発生させることができる。

【0032】各層への電圧の印加は、上層ワード線32にはワード線駆動回路35よりV1の電圧を印可し、下層ワード線33にはワード線駆動回路35よりV2の電位に接続される。V1>V2の場合、上層ワード線32には、紙面左向きに電流が流れ、下層ワード線33には、紙面右向きに電流が流れる。V1>V2の例として、V1=Vcc、V2=0Vであっても良いし、V2>V1の例として、V2=Vcc、V1=0Vであっても良く、又所望の電流を流す為に、上記関係を満たすようにV1、V2を任意の電位として良い。データ書き込み/読みだしでの上層ワード線と下層ワード線の差は、書き込み時にV1-V2を大きく、読みだし時にV1-V2を小さめにとれば消費電流を抑制できる。

【0033】本実施形態によれば、同じ必要磁界をより小さいワード線消費電流により発生できる。又、センス感度の良い大きな磁気抵抗変化率の材料、構造のものをを用いても、低消費電流のLSIが実現でき、低消費電力と、センス感度向上の両立が可能となる。

【0034】本実施形態は、図1(c)に示したものに限られず、各層を直列接続する構成であれば他の構造、形態も含まれる。本実施形態及び以下に説明する他の実施形態には、上述したGMR(Giant Magnetoresistive)膜としてCu、Au、Ag、Cr等の非強磁性導体層の両側にCo、Ni、Fe等及びこれらの合金の強磁性層を接続させた交換結合型GMR膜、或はCu、Au、Ag、Cr等の非強磁性導体層の片側に、CoPt等の(半)硬質磁性層、他側にNiFe、NiFeCo等の軟磁性層を接続したスピナルブ型GMR膜、或はCu、Au、Ag、Cr等の非強磁性導体層の片側に、N

Fe、NiFeCo等の軟磁性層とFeMn等の反強磁性層、他の片側にNiFe、NiFeCo等の軟磁性層を接続したスピンバルブ型GMR膜等がある。又、トンネル型GMR膜として、Al₂O₂等の非強磁性絶縁層の両側にFe等の強磁性層を接続したもの等がある。又、GMR膜の他に膜として、Pr、Sr、Mn、O等を含む膜CMR (Colossal MagnetoResisto) 等がある。又、一方向に磁気異方性を示すAMR効果をもつパーマロイ等を用いることも可能である。

【0035】(第2の実施の形態)以下、本発明の第2の実施形態の半導体記憶装置を説明する。図2(a)はメモリセル断面図、図2(b)はセルアレイのワード線方向断面図とワード線駆動回路を示す。本実施形態では、第1及び第2のワード線層43a、43bと、これらの下層に形成されたGMR膜45と、この下層に形成された第1及び第2のワード線層44a、44bを設けている。ビット線42は4層のワード線層43a、43b、44a、44bと交叉し、GMR膜45はこの交叉部に形成されている。

【0036】次に、このメモリセル41に発生する磁界について説明する。メモリセル41の第1及び第2のワード線層43a、43bに同一方向の電流を流し、第3及び第4の下層ワード線44a、44bに、第1及び第2のワード線層と逆方向の電流を流すことにより、1本のワード線の電流量は従来と同等であっても、合成磁界により従来に比べ約4倍の磁界を発生でき、GMR膜45はこの合成磁界の作用を受ける。合成磁界は層の増加に比例して増大する。

【0037】次に、各ワード線層の接続について説明する。本実施の形態では第1のワード線層43aと第4のワード線層44b、第2のワード線層43bと第4のワード線層44a、及び第2のワード線層43bと第4のワード線層44aを、図2(b)に示すように、セルアレイの両端で、コンタクト46a、46b、46cにより直列接続させている。従って、従来と同じ消費電流であっても4倍の合成磁界を実現でき、第1の実施形態よりもさらに低い消費電流のLSIが実現できる。又、GMR膜45により高い磁性抵抗変化率材料を適用することが可能になる。

【0038】尚、ここで述べた各層を直列に接続する方法は図2(b)に示すものに限られない。ワード線への印加電圧V1、V2に関しては第1の実施の形態と同様に行えばよく、ここでは詳しい説明を省略する。

【0039】(第3の実施の形態)次に本発明の第3の実施形態について説明する。上述した第2の実施形態のように磁気抵抗効果膜の上、下のワード線を多層に形成する際、最小加工寸法でワード線ピッチを画定すると、次のような問題が発生すると思われる。つまり、コンタクト46aが形成されるために、下層のワード線層の最上層(第2の実施の形態の例では第3ワード線層44

a)とワード線駆動回路57とを接続することが困難となる。第3の実施形態では、この問題を解決する。

【0040】本実施形態では図3に示すように、セルアレイ毎に、左右交互にワード線駆動回路57に接続し(図3では片側に接続するワード線駆動回路を省略した。)、第2コンタクトによりワード線駆動回路への接続が困難なワード線層を第2コンタクト56bのわきに引き出すことにより上記問題を解決している。

【0041】この際、ワード線駆動回路との接続を相対称に行っているセルアレイ同士は図3に示すよう左右にずらして配設する。セルアレイAの第2の上層ワード線のように駆動回路との接続を行わない層はセルアレイ内側で、第1、第3コンタクトを取れば、相対象に形成されたセルアレイBの第1の下層ワード線は、セルアレイA方向に1ピッチずらす。

【0042】本実施形態におけるワード線の配設は、直列接続のためにコンタクトを要する3層以上のワード線が形成されたセルアレイに適用できる。

(第4の実施の形態)次に本発明の第4の実施形態を説明する。

【0043】上述したように、1層のワード線を用いて交換結合型GMR膜に“1”及び“0”データを記憶させる方式が文献(J. L. Brown et al, IEEE Trans. of Components Packaging, and Manufacturing Technology-PART A, Vol. 17, No. 3, Sep., 1994.)により公知である。この記憶方式では読み出し、書き込み時にワード線電流は逆方向に流してゐる。

【0044】これに対し、多層のワード線を用いた本発明では、読みだし時と書き込み時のワード線電流は同一方向に流すことができ、両強磁性層のスピン方向を同一ビット線方向に向けても記憶装置として動作可能である。上述した方式で“1”データを書き込んだ場合と同様に、両強磁性層のスピン方向と逆方向にビット線電流による回転磁界を発生させる。この時、“1”データであれば、スピン方向と回転磁界が同じ方向であるため、ワード線電流に関らずスピンはワード線方向に互いに逆方向に向く。結果として、ビット線の抵抗は高抵抗となる。“0”データであれば両強磁性層のスピン方向と回転磁界が異なる方向であるため、ワード線電流による両強磁性層のスピン方向が同一ビット線方向に向く力が強まる(ワード線電流が小さいため、反転はしない)。結果として、ビット線の抵抗は低抵抗となり、メモリセル動作が可能になる。即ち、ワード線電流は、読み出し／書き込み共に1方向で済む。従って、図4に示すように、複数のワード線駆動回路をセルアレイの1方端に配置し、各セルアレイに接続する各ワード線の一端部、例えばV2電位を与えるワード線層の端部を共通化することができる。例えば、第3のワード線層は、第2コンタクトの手前で共通化され、ビット線方向に引出されて、セルアレイ外に引き出される。

【0045】本実施形態を第2の実施形態のように上層、及び下層に各々複数層のワード線がコンタクトにより直列接続されるセル構造に適用するとV2電位は接地側で各ワード線に共通に行う事ができるので、ワード線駆動回路、及びワード線を最小設計ルールで構成することができる。

【0046】(第5の実施の形態)次に本発明の第5の実施形態を図5(a)及び(b)を用いて説明する。本実施形態は図5(a)に示すように、GMRセル71の上層のワード線を2層(第1ワード線73a、第2ワード線73b)として、各層に同一方向の電流を流してその合成磁界により、従来の1層のワード線による磁界の約2倍にすることを特徴とする。本実施形態では、第1から第4の実施形態のようにGMR膜の下方にはワード線層を備えていない。

【0047】このように、GMR膜の上側か下側の一方にのみ形成されたワード線層を形成に同一方向の電流を流すには、互いに直列接続することはできない。そこで、本実施形態では図5(b)に示すようにワード線層を配設する。ワード線層に平行に形成されたセルアレイAの右端のワード線駆動回路75aから電圧V12が供給される第1ワード線層73aはセルアレイ左端まで伸ばされる。選択した第1ワード線層につながるスイッチQ1のみONすることにより各ワード線に共通の第1の電源線76に接続させる。第1の電源線76は、ビット線方向に配設され、数ワード線を単位として、セルアレイ右端に引き伸ばされる。引き伸ばすことにより、ビット線72と交差するが、この交差部には、メモリセルを配置しなければ問題は発生しない。第1の電源線76は、右セルアレイ端で、ビット線方向に引き伸ばされ、スイッチを介して各セルアレイの第2のワード線73bに接続される。選択したワード線スイッチQ2をオンすることにより、結果として、第1ワード線の下に同一方向に第2ワード線電流を流すことが可能になる。第2ワード線の左端はV2電位を与える駆動回路75bに接続される。

【0048】以上、説明したようにセルアレイに直列接続する複数層のワード線を配設することにより、同じ必要磁界をより小さいワード線消費電流により発生できるといえる。又、センス感度の良い大きな磁気抵抗変化率の材料、構造のものを用いても、低消費電流のLSIが実現でき、低消費電力と、センス感度向上の両立が可能となる。

【0049】(第6の実施の形態)次に、本発明の第6の実施形態を説明する。本実施形態は第5の実施形態と同じようにワード線をGMR膜の上層あるいは下層の片側に複数層形成したセル構造を採用した場合のワード線の他の配設である。第4の実施形態で説明したように、一方向に流れるワード線電流により、読み込み及び書き込みが行える為、セルアレイの一端(図6では左端)の

駆動回路は省略でき、各セルアレイに共通のV2電源に接続出来る。そして他端(図6では右端)ではV1を供給するワード線駆動回路85を複数のセルアレイで共有する。ワード線駆動回路85をスイッチとして用い、Q3の様なスイッチを介して任意のワード線を選択出来る。WS0-1、WSn-1は、ワード線選択制御信号を示す。

【0050】(第7の実施の形態)次に、本発明の第7の実施形態を説明する。上述の第1乃至第6の実施形態では、多層のワード線層を直列接続することにより層数に比例して配線全体の抵抗が大きくなるという問題がある。各ワード線層の配線抵抗が小さい場合は問題ないが、配線抵抗が大きい場合、電圧降下やRC遅延が問題となる。本実施形態のようにワード線分割を行うことにより上記問題が解決できる。

【0051】本実施形態では図7に示すように、セルアレイを複数のサブアレイ91に分割して、セルアレイ端にメインローデコーダ(Main Row Decoder)92、各サブアレイ91端に、サブローデコーダ(Sub Row Decoder)93を配置する。そして、メインローデコーダ92とサブローデコーダ93はメインワード線(Main Word Line)94により接続し、サブローデコーダ93からサブアレイ91へ配設するワード線には、本発明の多層ワード線を適用する。

【0052】このようにデコーダを分割することで、本発明の直列接続された多層ワード線を適用しても電圧降下やRC遅延の増大は抑制できる。

【0053】(第8の実施の形態)次に本発明の第8の実施形態を説明する。従来のMRAMでは、DRAMのように複数のセルアレイブロックの複数のワード線を同時に選択すると、選んだワード線本数に比例した消費電流が発生する。1本のワード線を選択しても大量の電流が流れるGMRメモリには致命的である。

【0054】本実施形態では複数のセルアレイの複数のワード線を同時に選択してもその消費電流を1のセルアレイの1ワード線を選択したと同等に低減できる。又、本実施形態により低消費電力で複数のワード線の活性化が行え、多数本のビット線データを入出力できる。

【0055】図8に示す2つのセルアレイブロックA、Bを例に第8の実施形態を説明する。セルアレイBにはローデコーダBが接続され、さらにローデコーダAに接続されセルアレイBの任意のワード線102Bの駆動に用いた電流をセルアレイAの任意のワード線102Aの駆動に用いる。これは、セルアレイBに接続したローデコーダBのワード線駆動回路の最終段ドライバの接地側電源と、ローデコーダAのワード線駆動回路の最終段ドライバの電源側とを接続し、接続点に(V1+V2)/2[V](V1、V2は各セルアレイにワード線駆動回路101A、101Bより与えられる電圧)を付与する

ことで達成する。図8の中間電源は $(V1+V2)/2$ 発生し、スタンドバイ中は固定し、メモリセルの動作時にはQ10をOFFしてワード線との接続を絶つ。これにより、セルアレイBのワード線にまず電圧が印可され、次ぎに、セルアレイAのワード線に印可されてしまう不都合や、clock skewによる不安定動作を防ぐ。

【0056】以上説明したように、本実施形態により複数のセルアレイブロックの複数のワード線を同時に選択した場合でも、1個のセルアレイブロックの1本のワード線を選んだ場合と同程度に消費電流を抑えられる。又、上述したように複数のワード線の活性化が可能になり、結果として、多数本のワード線データをchip外へ出力、chip内へ入力することが可能になる。

【0057】尚、上述の説明では2つのセルアレイブロックを用いて説明したが、3つ以上のセルアレイブロックについても本実施の形態は適用可能である。

(第9の実施の形態) 従来のMRAMでは、DRAMのように複数のセルアレイブロックの複数のビット線を同時に選択すると、選んだビット線本数に比例した消費電流が発生する。1本のビット線を選択しても大量の電流が流れるGMRメモリには致命的である。

【0058】本実施形態では複数のセルアレイの複数のビット線を同時に選択してもその消費電流を1のセルアレイの1ビット線を選択したと同等に低減できる。又、本実施形態により低消費電力で複数のビット線を活性化でき、多数のビット線データをチップ外へ出力、チップ内へ入力できる。

【0059】本実施形態を図9の示す2つのセルアレイブロックを例に説明する。2つのセルアレイブロックA、BのうちセルアレイBのビット線電流発生回路で用いた電流を、セルアレイAのビット線電流発生回路の電流に再利用している。即ちセルアレイBのビット線電流発生回路の最終段ドライバの接地側の電源と、セルアレイAのビット線電流発生回路の最終段ドライバの電源側とを接続して、同時に動作させる。

【0060】本実施形態により、複数のセルアレイブロックの複数のビット線(或は同一セルアレイの複数のビット線)を同時に選択した場合でも、その消費電流を、1個のセルアレイブロックの1つのビット線対を選んだ場合と同等に出来る。又、本実施形態により複数のビット線の同時活性化が可能になり、結果として多数ビットデータをchip外へ出力、chip内へ入力することが可能になる。

【0061】次に、第9の実施形態の詳細を図10を用いて説明する。図10は図9のセルアレイAのメモリセル111、ローデコーダに接続するワード線WL0~WL7、ビット線電流発生回路に接続するメインビット線BL0、BL0'、BL1、BL1'、次に所定のビット線を選択するカラムデコーダを示す。

【0062】GMR膜の電気抵抗変化率は5%~100%程度しか実現出来なく、1本のビット線に複数(例えばn段)のセルを接続すると、抵抗変化率が $1/n$ になり問題となる。それで、図10に示すように、例えば、4段(111a, 111b, 111c, 111d)のセルを接続して、選択するカラム制御線CSLn-2のトランジスタQ12を介して、メインビット線BL1に接続する。BL1へはトランジスタQ15、16を介して行う。又、GMRメモリは、消費電流が大きい為、温度が上昇しセル抵抗が変化する。

【0063】そこで、選択ワード線に隣接する非選択セルにつながるビット線(BL0、BL0')をreferenceビット線として、選択セルがつながるビット線と共にセンスアンプ回路、及びビット線電流発生回路に接続する。

【0064】図11(a)は、図9のビット線電流発生回路の詳細を示す。図11(a)に於いて、各ビット線(BLi、BLi')は互いにデータの読み出し/書き込みの為に、ビット線iからビット線i'に電流を流したり、ビット線i'からビット線iに電流を流す必要がある。一つのビット線対(BL0とBL0'、BL1とBL1')の各々に電源V3から電源V4に電流を流す回路が必要である。そこで、BL0からBL0'へ、BL1からBL1'へ電流を流す場合、トランジスタQ17、Q18、Q19、Q20をONする。定電流制御は、V3とV4間の電位差の制御と、抵抗Rにより行う。このように、ビット線電流発生回路の電源V3'とV4を接続して、同時に動作する多ビット線対の消費電流を1個の場合と同等まで低減出来る。図11(b)には図9のセンスアンプを示す。

【0065】次に、これまで説明した各実施形態及び従来技術における電圧降下を定量的に見積もってみる。図12は、ワード線から、GMR膜中央部にどれくらいの磁界が発生するか見積もる為に用いた図である。この見積もりは以下の様に行った。四角形に形成されたワード線の断面を複数に等分割して、その分割領域1個の電流を計算する。各分割領域からGMR膜までの距離、角度を計算してビオサバールの法則(数式1)により水平磁界Hx、及び垂直磁界Hy成分を計算する。この磁界成分を全ての分割電流について行い全ての水平磁界Hx、垂直磁界Hyの合成磁界をもとめると以下のようになった。この見積もりでは、各ワード線層に流す電流量は30mAに統一した。

【0066】図13(a)、図13(b)、及び図13(c)は従来技術の例を示す。膜厚が $0.4\mu\text{m}$ のワード線4とGMR膜1間の距離を $0.6\mu\text{m}$ とすると75[Oe]が発生した(図13(a))。膜厚が $0.2\mu\text{m}$ のワード線4とGMR膜1間の距離を $0.6\mu\text{m}$ とすると81[Oe]が発生した(図13(b))。又、膜厚が $0.4\mu\text{m}$ のワード線4とGMR膜1間の距離を 0.3

μm とすると 114 [Oe] が発生した (図 13 (c))。ここで 1 [Oe] は約 80 (A/m) である。図 13 (b) のように、ワード線 4 の膜厚を薄くすると僅かに磁界は上がる。これは、ビオサバールの式 (式 1) より、磁界は距離 r に反比例するためである。図 13 (c) のように、ワード線 4 と GMR 膜 1 との距離を小さくするとさらに大きい磁界が発生する。しかしながら、従来の図 13 (a) 図 13 (b)、及び図 13 (c) の構成では、GMR 膜 1 に接続するビット線 2 が邪魔で、距離は近づけられない。

【0067】図 13 (e)、図 13 (f)、図 13 (g) 及び図 13 (h) は本発明の多層ワード線層による磁界を示す。図 13 (e) のように、単純に、1 層上に増やすだけで、磁界は従来の倍近くになる。図 13 (f) に示すように、ワード線層を薄くすればさらに効果があり、図 13 (g) に示すように、ワード線層と GMR 膜を近づけると、218 (Oe) にも磁界が増加する。図 13 (h) に示すように、ビット線の上下にワード線層を設けると、図 13 (a) の 2 倍の磁界が発生する。この例からも、1 定電流でも多層にすると磁界は非常に大きくなることがわかる。

【0068】尚、図 11 (d) は、ビット線電流による強磁性膜中央に発生する磁界を示す。距離 r が近い為に、僅か 5mA で、107 (Oe) の磁界が発生出来る。いかに、ワード線の発生磁界の効率が悪いかが分かる。

【0069】(第 10 の実施の形態) 次に本発明の第 10 の実施形態について説明する。図 13 (a)、図 13 (b)、及び図 13 (c) に従来の構造では GMR 膜 1 に接続するビット線 2 により、ワード線 4 と GMR 膜 1 の間の距離は短くできない。上述したよう、磁界強度を大きくするにはこの距離を短くするとよい。

【0070】本実施形態では、図 14 (a)、(b) に示すように、ビット線配線層間、ワード線配線層をうめ込んだり、ワード線をビット線層より下に形成すれば、距離を近づけられる。

【0071】(第 11 の実施の形態) 図 12 は本発明の第 11 の実施形態を示す。メモリセルの微細化が進み、ワード線ピッチが縮小し、各層の厚みがそれ程、縮小されないと、図 15 (c) の従来構造に示した黒矢印のように、選択ワード線 4 の隣の非選択ワード線 4' にもれ磁界が発生し、隣のセルのデータ破壊等が心配される。そこで、図 15 (a) に示すように、ワード線間にダミーのワード線 134 を配置し、ワード線電流より小さい逆方向電流を流せば、白矢印の様な磁界が発生し、黒矢印の磁界をほとんどキャンセル出来る。このワード線は図 15 (a) のように、ダミー線であっても良いし、図 15 (c) のように、隣接ワード線を用いてもよい。図 15 (c) の場合、合成磁界は上方向成分が残るが、GMR 素子は上方向に対して、スピン方向が変わらないた

め、この磁界は影響を与えない。このように、隣接ワード線を用いる際には、図 15 (b) に示すように、ワード線とビット線の 1 交叉部おきにセル配置を行ったり、また、ワード線とビット線の全交叉部にセルがある場合でも、隣接セルに僅かな逆電流を流すことにより効果が得られる。

【0072】

【発明の効果】以上詳述してきたように本発明によれば、不揮発性で、磁気抵抗の変化により情報を記憶するメモリにおいて、小さいワード線電流、小さな chip 消費電流で大きな磁気抵抗変化率を実現し、低消費電力と、センス感度の向上の両立が可能となる。又、微細化した場合の隣接セルのデータ破壊を防ぐことが可能となる。

【図面の簡単な説明】

【図 1】本発明の第 1 の実施形態を説明するための、磁気抵抗効果メモリセルの断面図、隣接する複数のメモリセルの平面図及びセルアレイ断面図。

【図 2】本発明の第 2 の実施形態を説明するための、磁気抵抗効果メモリセルの断面図、及びセルアレイ断面図。

【図 3】本発明の第 3 の実施形態を説明するための、セルアレイ平面図。

【図 4】本発明の第 4 の実施形態を説明するための、セルアレイ平面図。

【図 5】本発明の第 5 の実施形態を説明するための、磁気抵抗効果メモリセルの断面図、及びワード線配線図。

【図 6】本発明の第 6 の実施形態を説明するための、ワード線配線図。

【図 7】本発明の第 7 の実施形態を説明するための、メイン/サブデコーダ及びワード線配線図。

【図 8】本発明の第 8 の実施形態を説明するための、複数のセルアレイに関わるワード線配線、ローデコーダ、及び駆動電源の構成図。

【図 9】本発明の第 9 の実施形態を説明するための、複数のセルアレイに関するビット線配線、センスアンプ回路、及びビット線電流発生回路等の構成図。

【図 10】第 9 の実施形態を説明するためのセルアレイに関わるビット線、ワード線配線図。

【図 11】第 9 の実施形態を説明するための

【図 12】本発明の効果を説明するための断面図。

【図 13】従来技術と比較して本発明の効果を説明するための図面。

【図 14】本発明の第 10 の実施形態を説明するためのセル断面図。

【図 15】本発明の第 11 の実施形態を説明するための断面図、平面図及び従来技術のセル断面図。

【図 16】各種 GMR 膜の断面図である。

【図 17】本発明の従来技術を説明する為のセル平面図

及び断面図。

【図18】本発明の従来技術を説明する為のGMR膜断面図、及びワード線、ビット線による発生磁界を示す図。

【符号の説明】

1、34、45、75、121、131... GMR膜
丸に点... 紙面裏面側より手前側への電流方向。
丸にX... 紙面手前側より裏面側への電流方向。
4、4'、32、33、43a、43b、44a、44b、53a、54a、63a、64a、73a、73b、95、96、102A、102B、122、13

2、132...ワード線

2、3、31、31a、31b、42、42a、5

2、72、123...ビット線

Q11、Q12、Q13、Q14...トランジスタ

WSi...ワード線選択制御信号

MWL...メインワード線

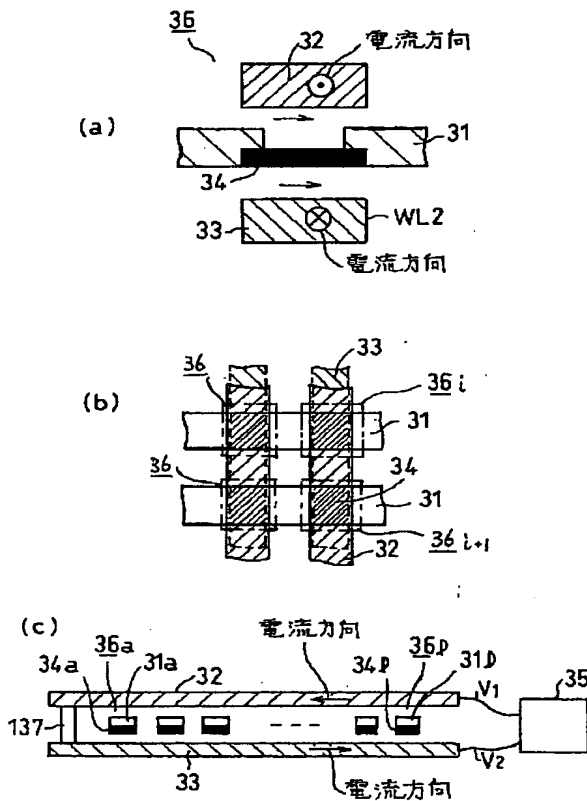
SWL...サブワード線

WL、WLi...ワード線

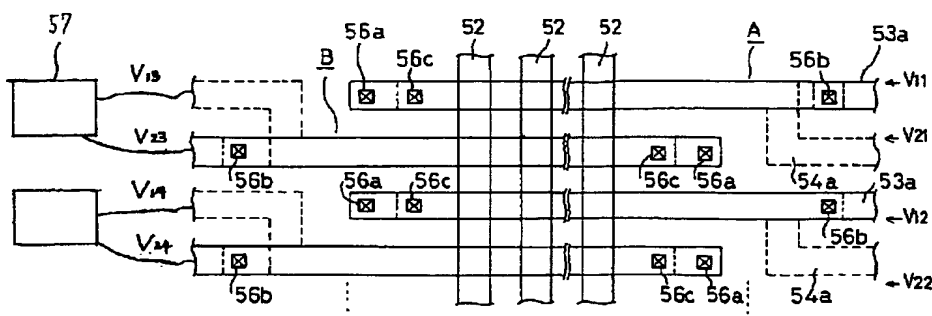
BL、BLi、BLi'...ビット線

CSLi...コラム選択線

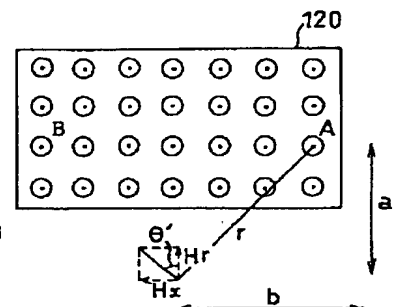
【図1】



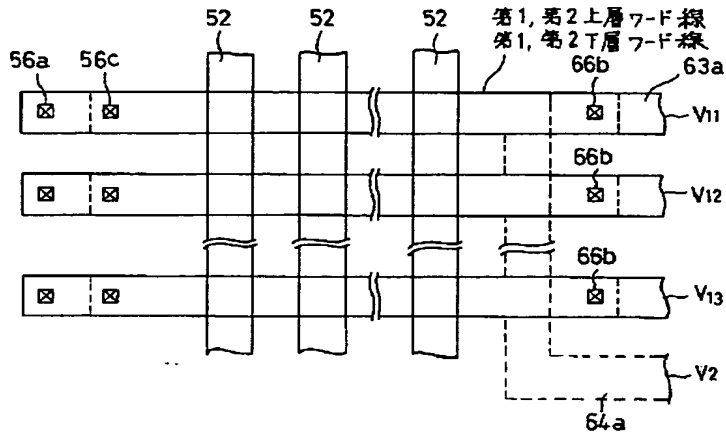
【図3】



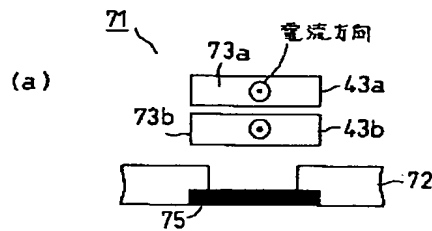
【図12】



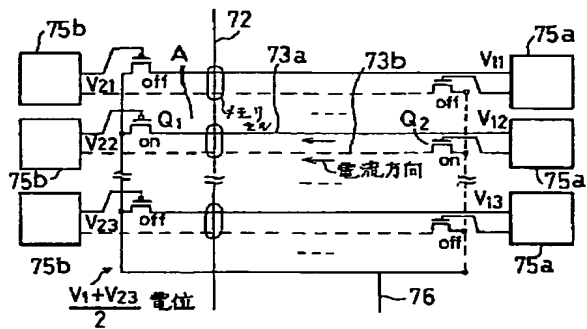
【図4】



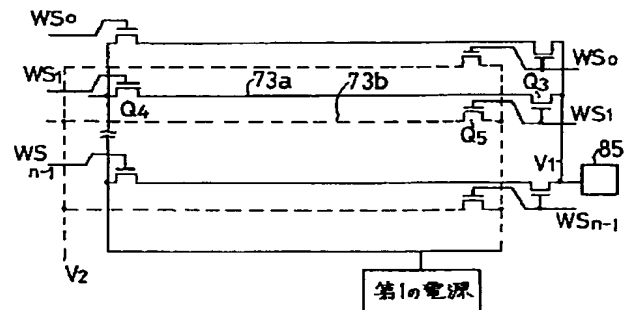
【図5】



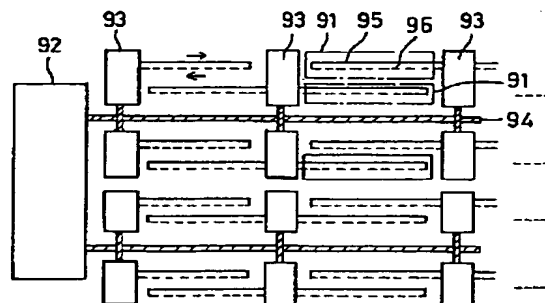
(b)



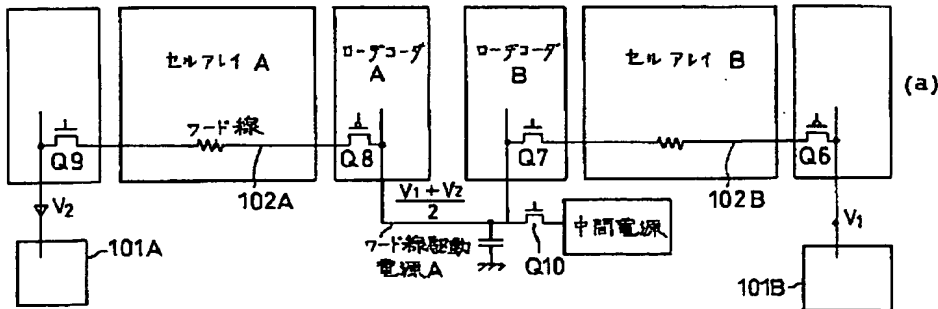
【図6】



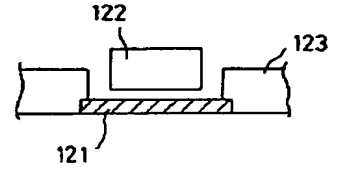
【図7】



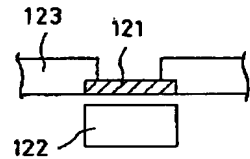
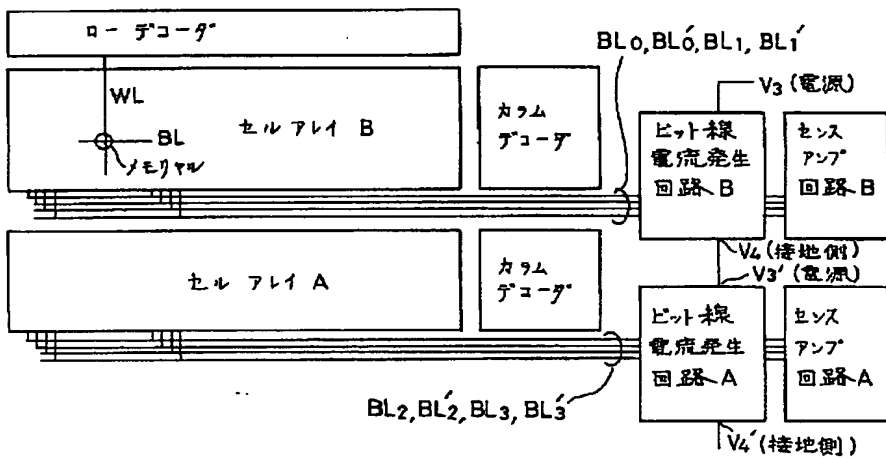
【図8】



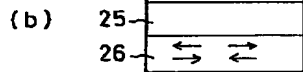
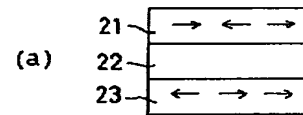
【図14】



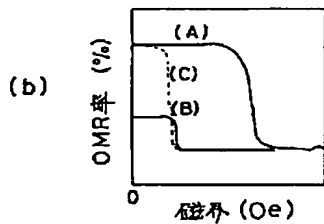
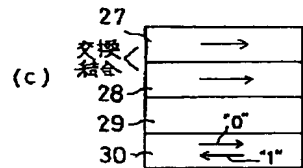
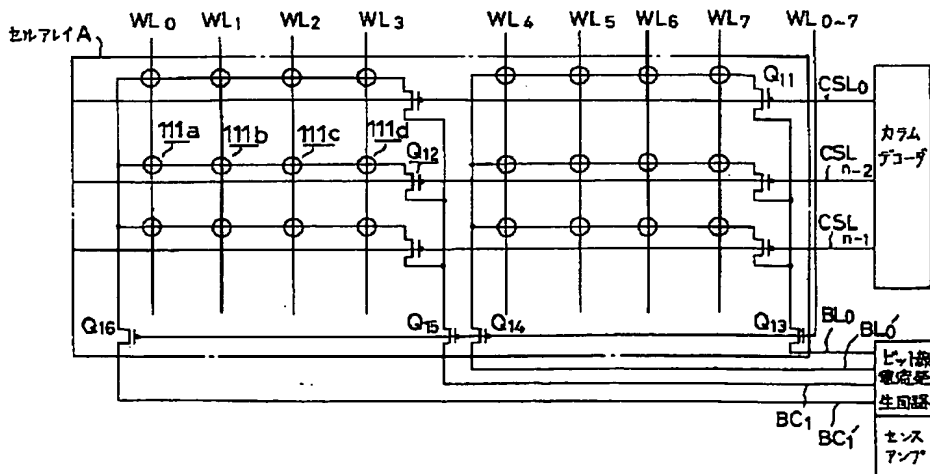
【図9】



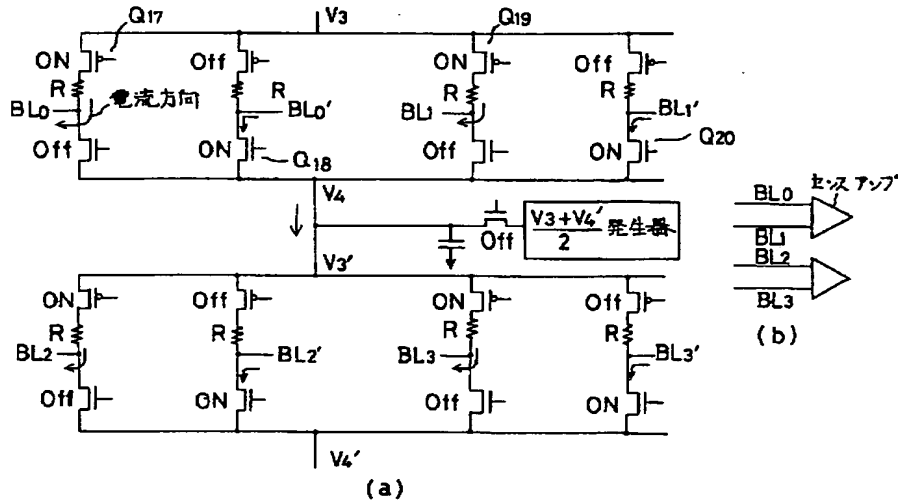
【図16】



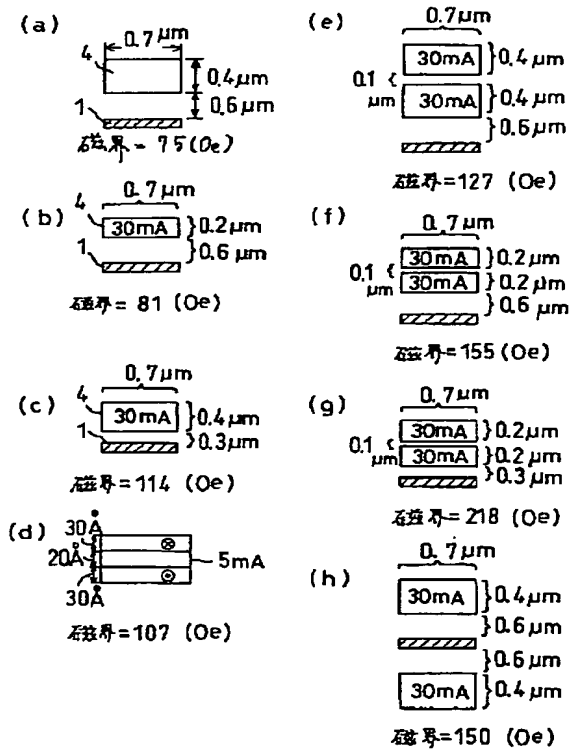
【図10】



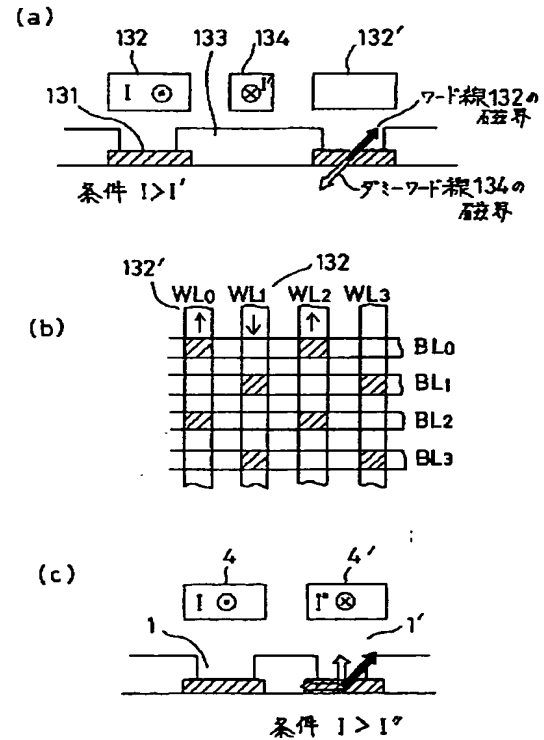
【図 11】



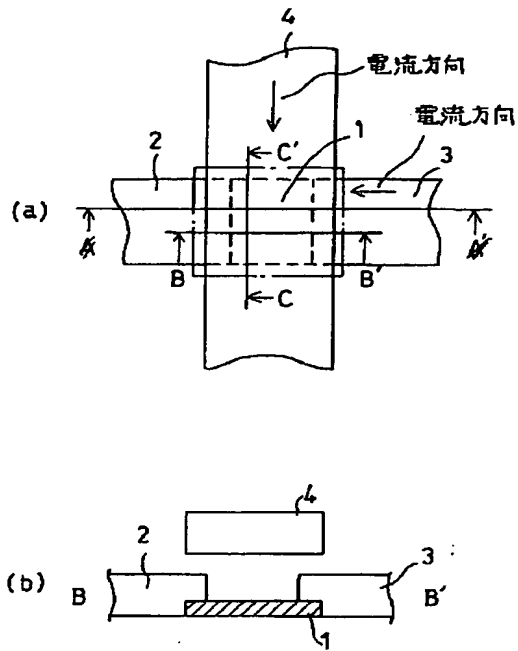
【図 13】



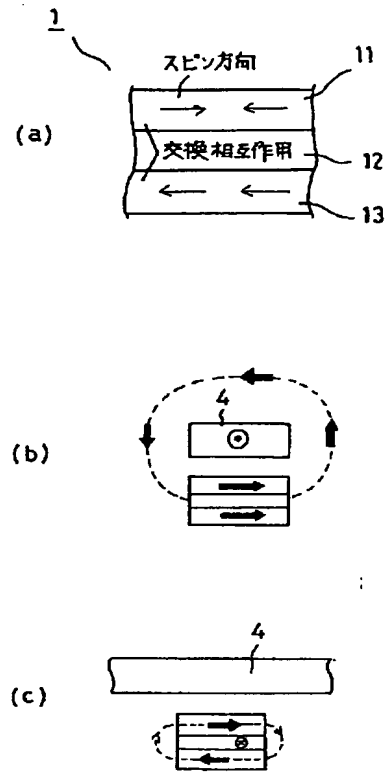
【図 15】



【図 17】



【図 18】



This Page Blank (uspto)